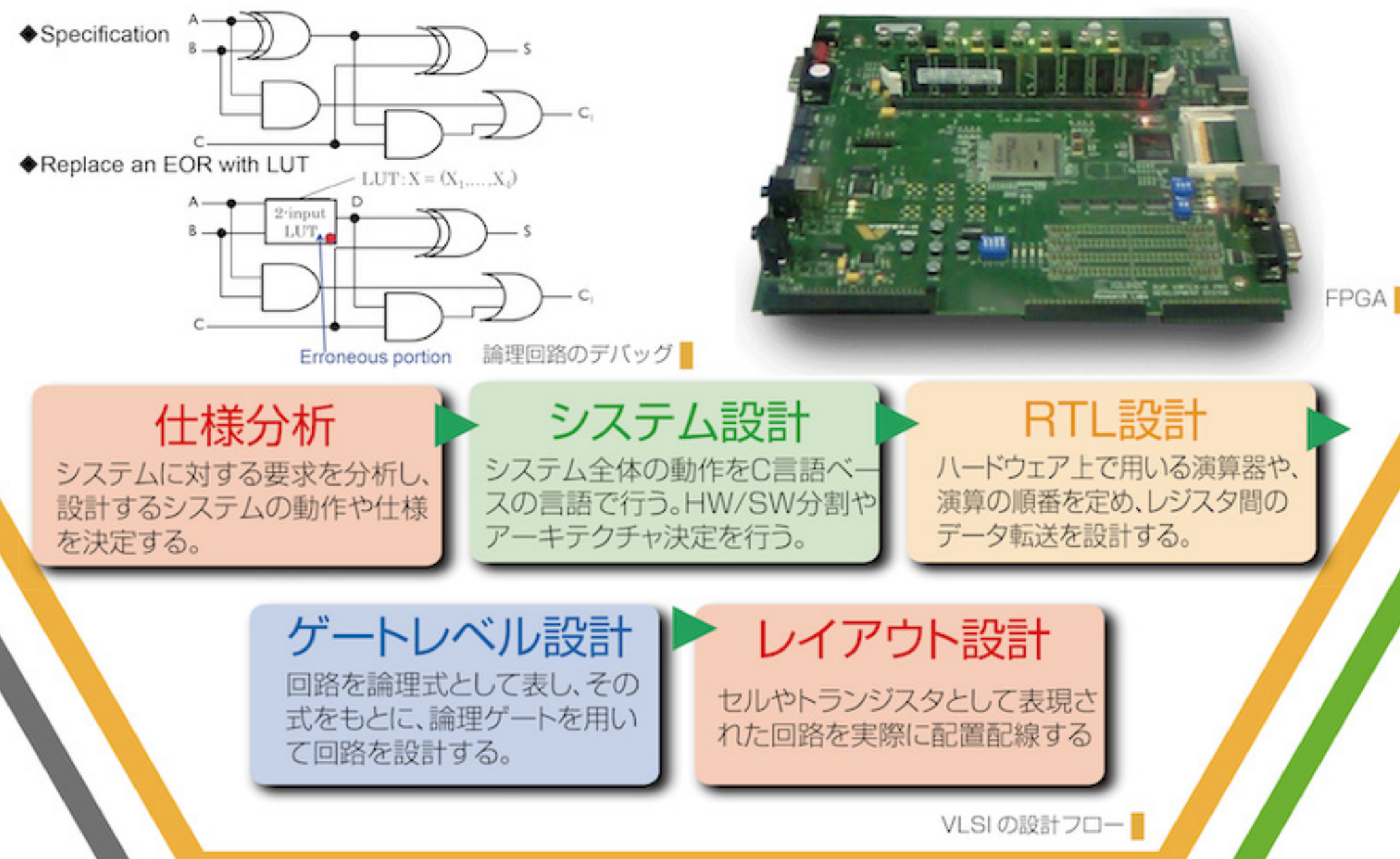




## VLSI 設計支援

実時間システムに搭載される LSI チップなどの半導体製品は、ソフトウェアと異なり後から修正することが非常に難しいため、厳密な検証やテストや間違いを製造後に修正する技術などが高い信頼性を保つために重要になります。当研究室では、システムレベルからポストシリコンまでの各ポイントにおける合成・検証・テスト技術をカバーし、ディペンダブルな LSI の設計を支援しています。



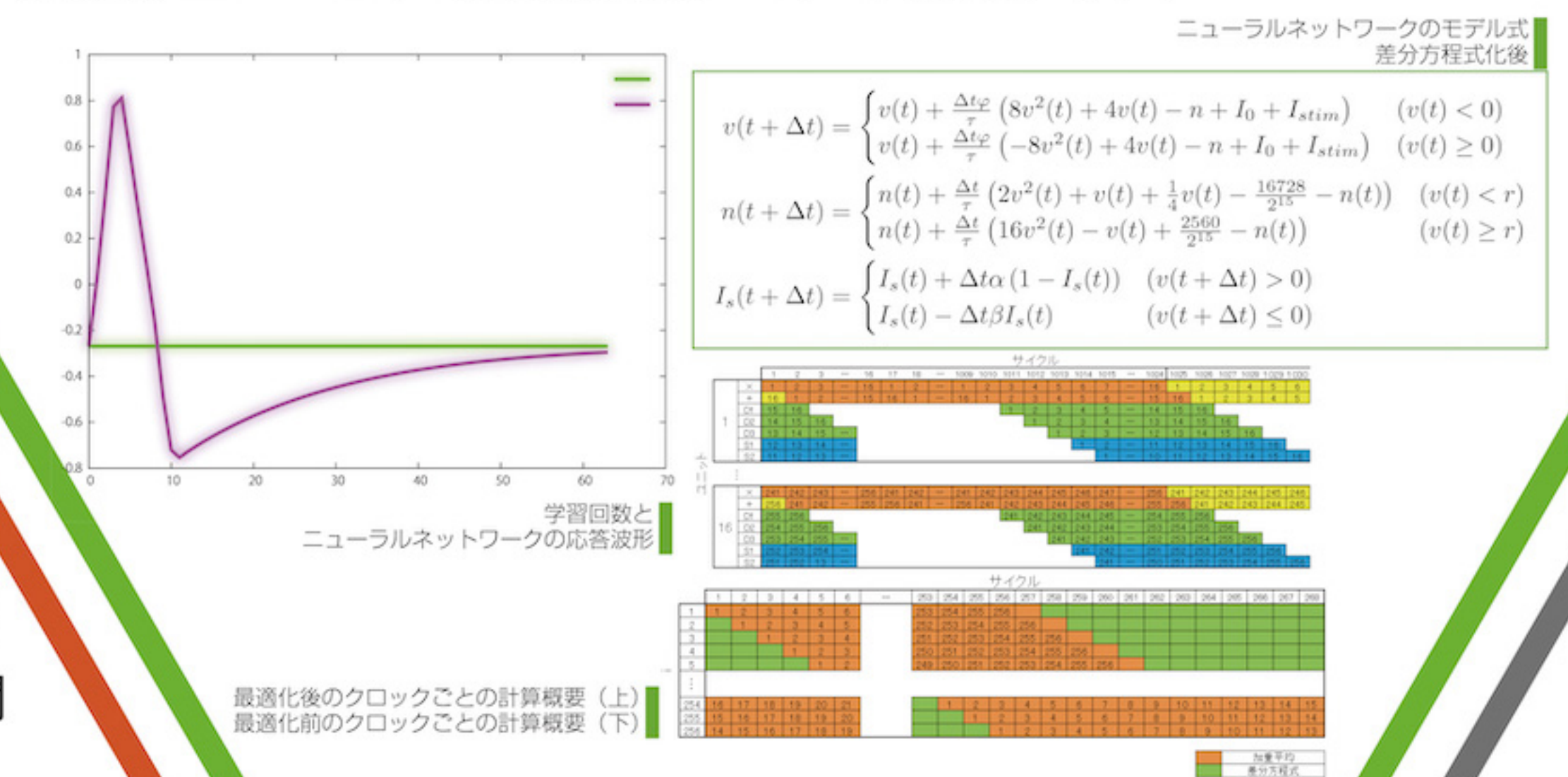
## Cyber Physical System とは ?

Cyber Physical System とは、社会の様々な場所で活用されている実時間組み込みシステムから得られる情報とコンピューティングを組み合わせ、より高度な社会を実現するための枠組みのことです。藤田研究室では、Cyber Physical System を支える情報機器—VLSI, 組み込みソフトウェア—を設計・検査する技術を開発したり、集約した情報を効率的に活用するための計算手法・実装手法を研究しています。



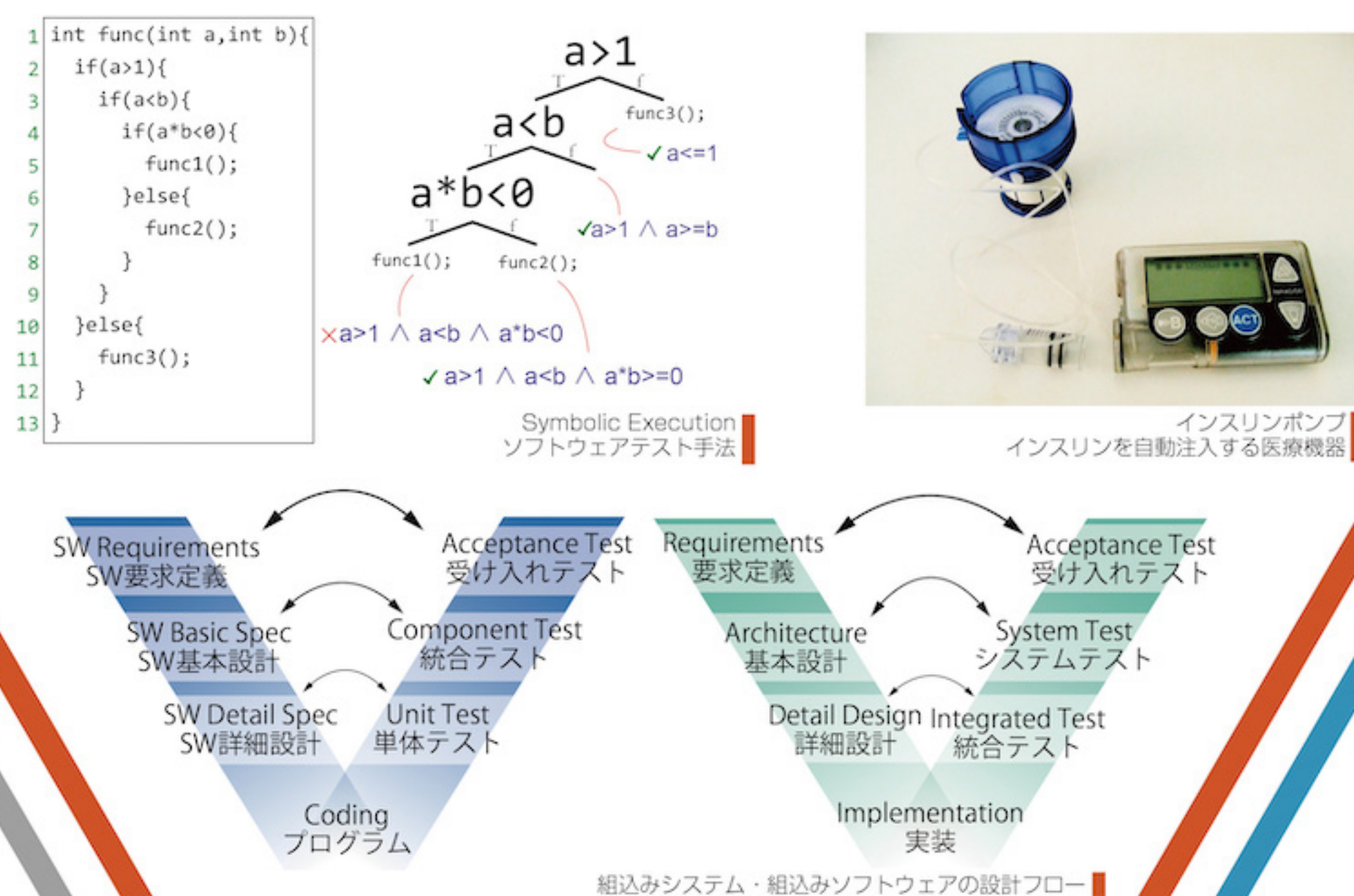
## ニューラルネットワーク

ニューラルネットワークとは脳の機能を数学的に表したモデルです。本研究室では、プログラム可能な回路である FPGA 上に高度にパイプライン化された回路を構築し、256 スパイク型ニューロンのネットワークを生体比 320 倍で動作させることに成功しています。この回路はさらに大きな神経回路網にも対応できるように設計されており、現在は複数の FPGA チップを使った数万ニューロンの大規模化について研究中です。



## 実時間組み込みソフトウェアの検証

実時間システムの安全性を担保するには、搭載されるソフトウェアの検査・検証も重要です。近年、実時間システムが高性能化・高機能化するに従ってソフトウェアの複雑化も進んでおり、より高度な検証技術の開発が望まれています。当研究室では、実時間システムに特徴的な割り込み処理の自動検証技術の開発などを行っています。



## 藤田研究室と実時間・高速計算システム

よりスマートな実時間システム・スーパーコンピュータ級の高速計算システムを実現するには、数学的な解析が欠かせません。当研究室は、そのような数学や論理学の基礎理論を応用した VLSI 設計・検証の研究において高い評価を受けています。また、そのような理論を用いて設計された専用ハードウェアシステムは汎用計算機より高性能かつ低消費電力化が可能であり、様々な分野で利用可能です。当研究室に興味のある方はご連絡下さい。

# Cyber Physical System 設計技術



東京都文京区弥生 2-11-16  
東京大学武田先端知ビル 407 号室  
Tel: 03-5841-6673  
[www.cad.t.u-tokyo.ac.jp](http://www.cad.t.u-tokyo.ac.jp)

<アクセス>  
東京メトロ千代田線 根津駅  
徒歩 4分





# 飯塚研究室(Assoc. Prof. Tetsuya Iizuka) Analog and Mixed-Signal LSI Laboratory

URL: <http://www.mos.t.u-tokyo.ac.jp/>

学部 電気電子工学科 本郷  
大学院 工学系・電気系工学専攻  
武田先端知ビル4階  
Takeda Bldg. 4F

## 飯塚研究室の研究目的

- 最先端の半導体技術とそれをを用いた回路設計技術 → さらなる高性能・高信頼性・高付加価値の達成を目指す
- 先端集積技術の性能を最大限に活用し、アナログ・デジタル混載集積回路の性能を最適化するアーキテクチャを実現し次世代アプリケーションへ応用する
- 理論解析に基づく集積回路の最適設計



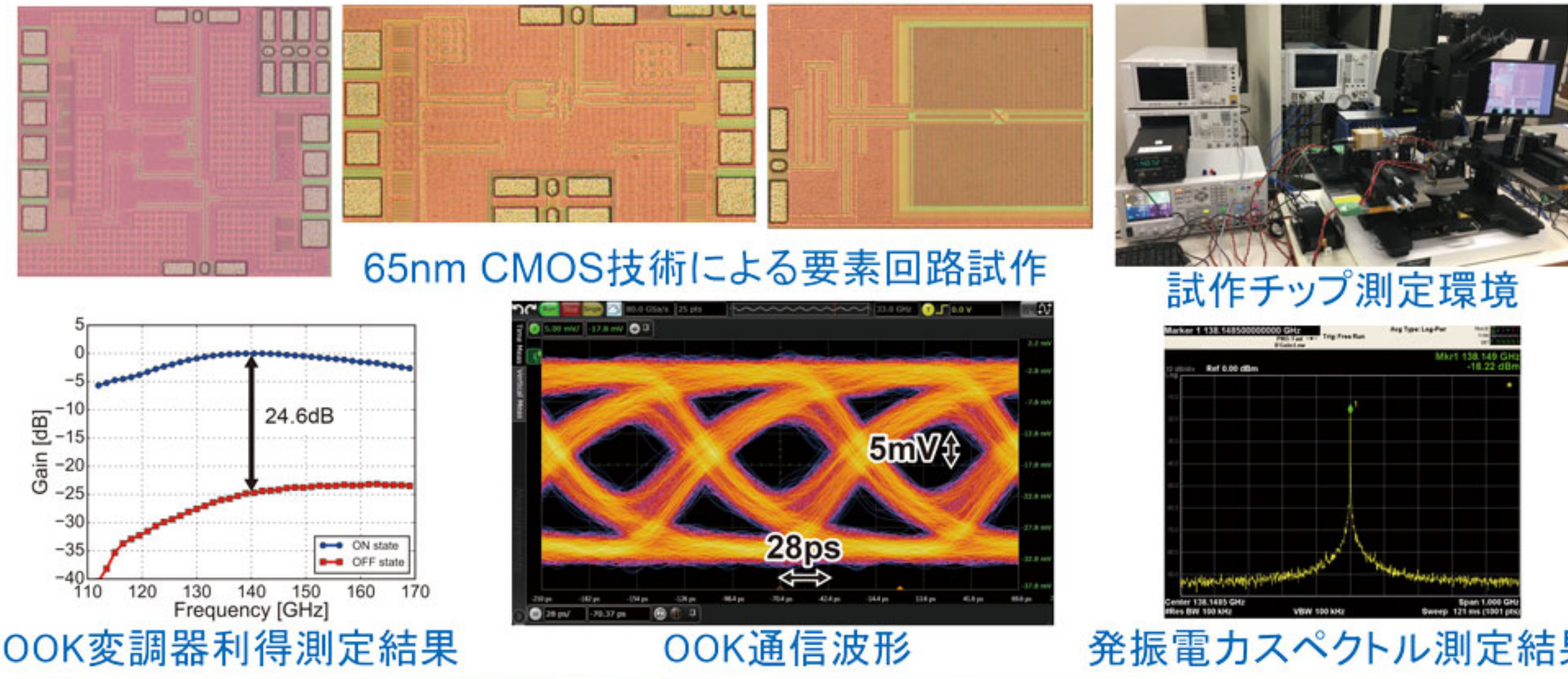
## ミリ波集積回路技術

### 本研究の背景

- ミリ波帯周波数の活用 → 5G/6G等の次世代通信・レーダー技術
- ミリ波信号の誘電体チューブ内伝搬を利用した高速通信 → 軽く安価な通信路として各種移動体内部の通信にも応用可能

### ミリ波集積回路設計・測定結果

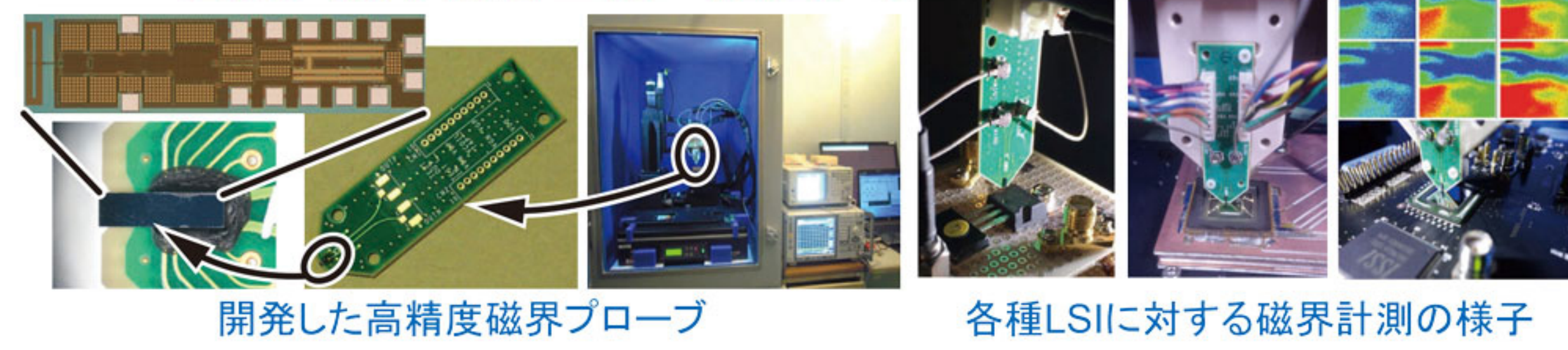
- ミリ波送受信機の実現に向けた回路技術(発振器・アンプ・変調器)
- 主に140GHz (D-band)で動作する要素回路を設計・試作・評価



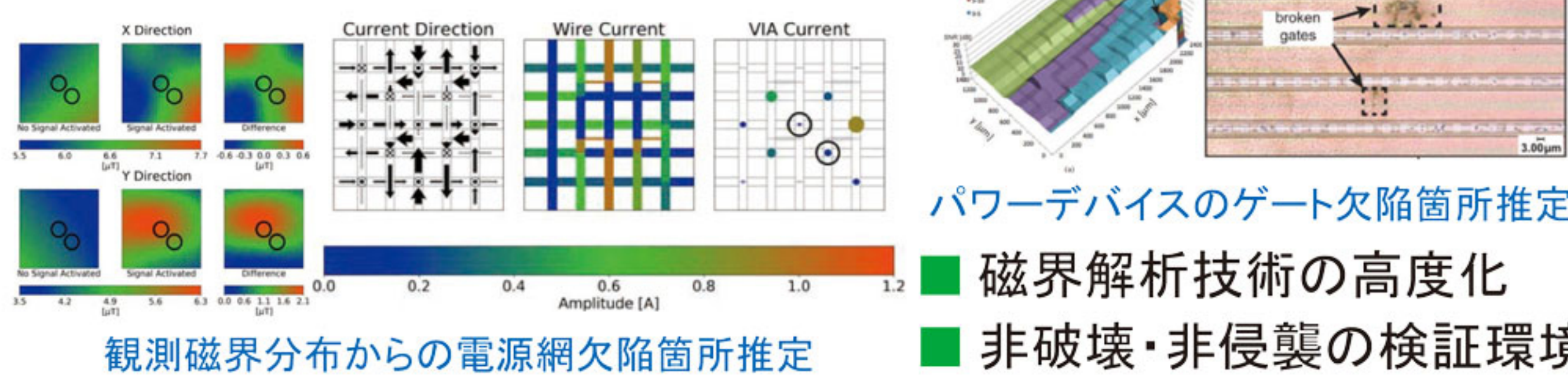
## 高精度磁界計測・解析技術

### 本研究の背景

- ハードウェアの信頼性・セキュリティ脆弱性が新たな問題に
- 非破壊・非侵襲で潜在的な問題を発見することは困難 → 集積回路からの放射磁界を高精細かつ高精度に計測し回路内部状態を正確に推定する



### 磁界計測・解析結果



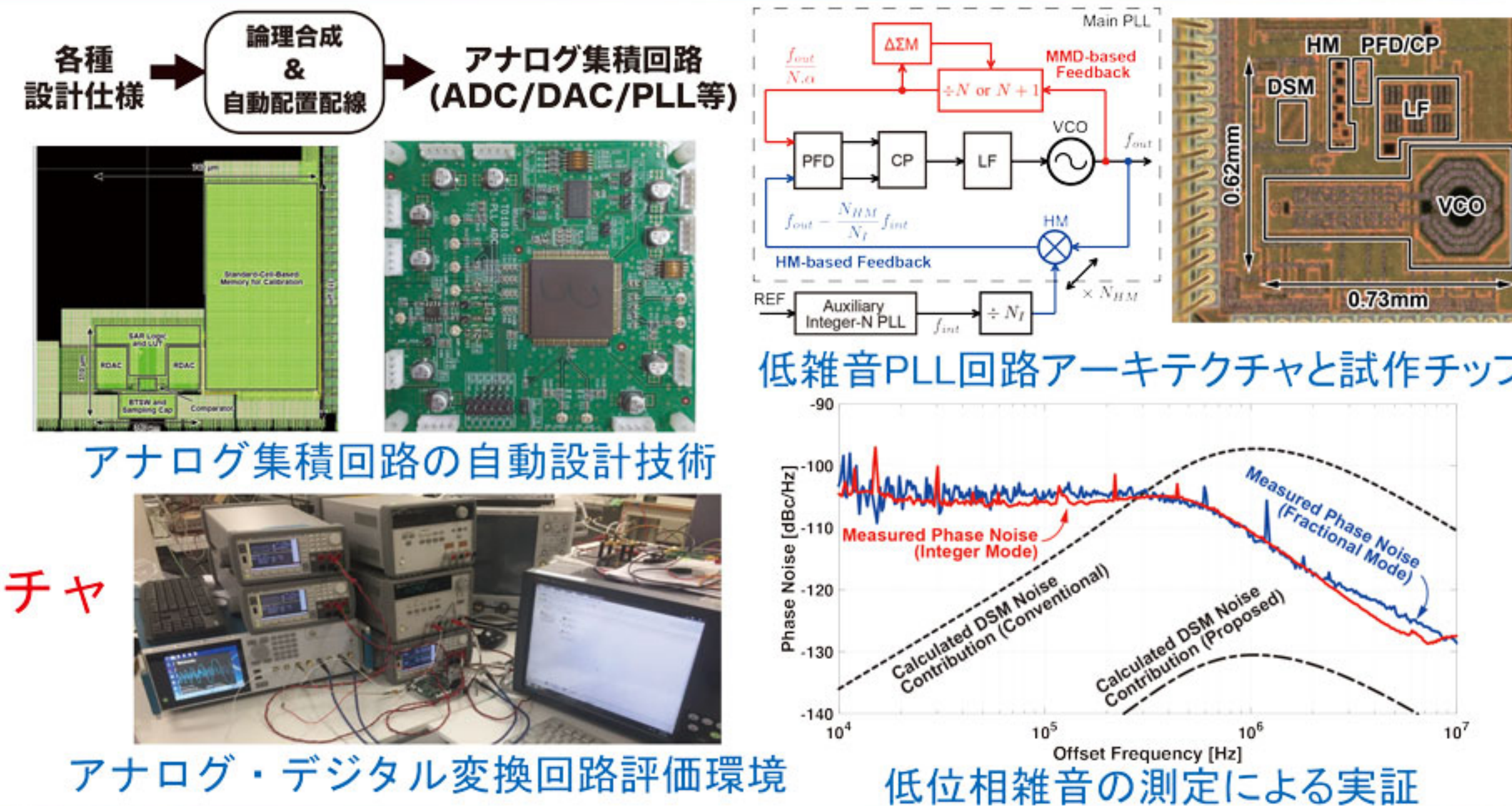
## アナログ・デジタル混載回路の高性能化と設計自動化技術

### 本研究の背景

- 通信・センサ・レーダーなど広く多くの応用で必須のアナログ要素回路 ADC/DAC/PLL/LDO → 次世代性能の達成にはブレイクスルーが必要
- 先端集積技術での設計複雑化・高コスト化 → 自動化による容易化

### 自動合成可能アナログ回路と低雑音位相同期回路

- 一般に精緻な手設計が要求されるアナログデジタル変換回路 (ADC) → デジタル合成フローによる自動設計と最適化された新規アーキテクチャ
- 位相雑音の低減がシステム性能に直結する位相同期回路 (PLL) → 雑音の増幅を避ける新規ループ構造による極低雑音の達成



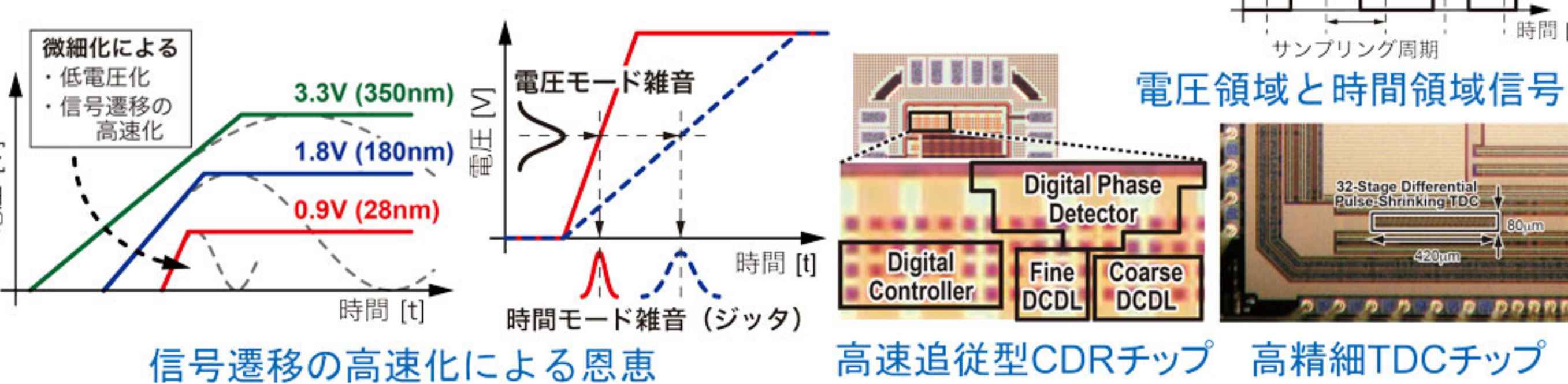
## 時間領域信号処理技術

### 本研究の背景

- 集積回路技術の微細化 → 素子動作の高速化・低電源電圧化
- 電圧方向よりも時間方向の情報処理が高精度・高効率に

### 高精細時間デジタル変換と有線通信技術への応用

- 間欠的動作が主であるIoTデバイス等に有効なクロック再生 (CDR; Clock-Data Recovery) 技術
- 極微小な時間分解能を実現する時間・デジタル変換技術 (TDC: Time-to-Digital Converter)



## AI・脳型コンピューティング技術

### 本研究の背景

- AI処理の高速化は物理的限界に直面・膨大なエネルギー消費 → 新デバイス技術との協奏により次世代性能の達成・計算効率のブレイクスルー実現を目指す

### 物理とAIの融合・生体に学ぶコンピューティング

- スピン波伝搬・確率共鳴技術を応用した低消費エネルギー・高性能AIデバイスの実現 (田畑仁教授グループとの共同研究)
- スパイキングニューラルネットワークによるエッジでの高効率コンピューティングの達成 (産総研他との共同研究)



## デザイン・サイエンス

最先端の半導体技術を用いて、デジタルとアナログを融合させたシステムの研究を行っています。アナログ集積回路設計技術(デザイン)に着目し、理論・解析に基づいて(サイエンス)その最適設計指針を明らかにすることで、通信・IoT・AI等の応用に向けた高性能集積回路システムの実現を目指しています。



# 池田研究室 (Prof. Makoto IKEDA)

Ikedada Laboratory

URL: <http://www.mos.t.u-tokyo.ac.jp/>

ハードウェアこそがICTにおける知的処理の根幹であり安全性の基点です

武田先端知ビル4F

Takeda Building 4F

## 本研究室の特徴

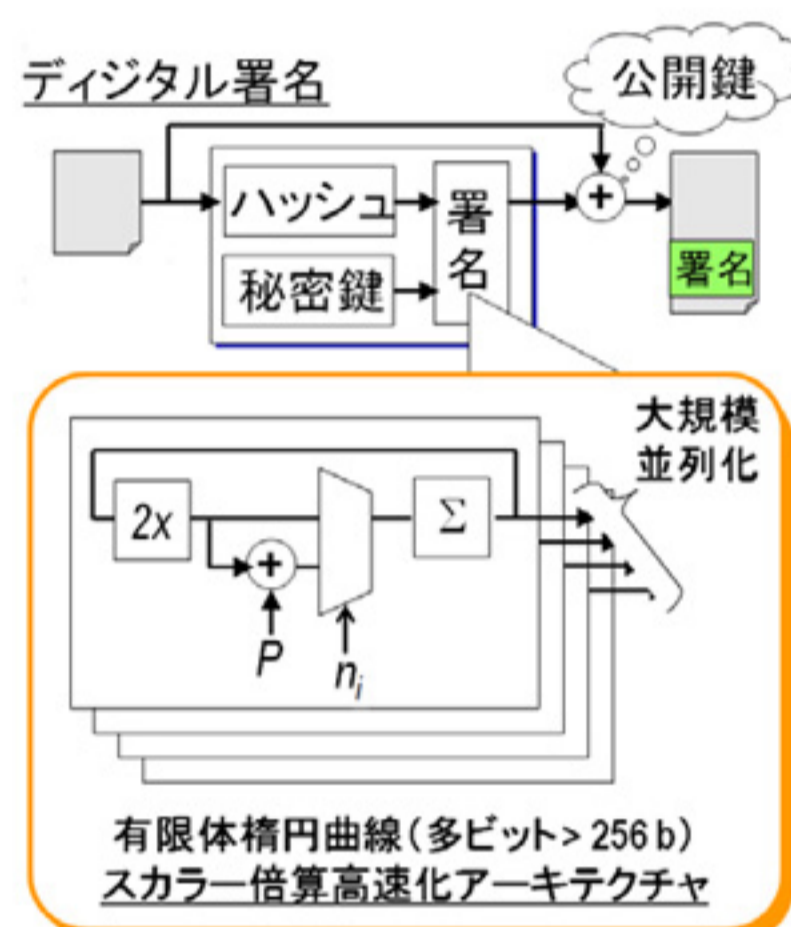
- ハードウェアとセキュリティを中心に据えた研究
- **最先端のプロセスを使用したデジタル・アナログ回路の設計**
- 自ら回路を提案、試作、測定をすることが可能
- 本郷キャンパス工学部3号館(+武田先端知ビル)



## 研究テーマの紹介

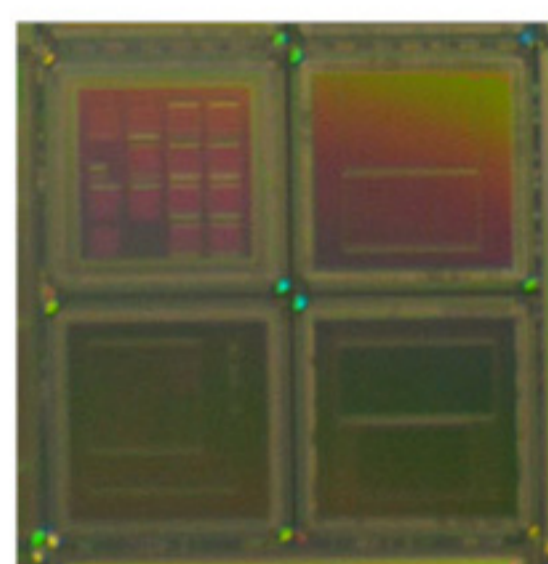
### ハードウェアセキュリティ

- IoT/ビッグデータの時代においてセキュリティが最重要課題
- 遍く暗号化・署名がなされる必要性  
→ **超高性能暗号/超低電力暗号 スケーラブル実装が不可欠**
- 安全な暗号エンジンが不可欠  
→ **真贋性の担保、鍵の秘匿性等**
- 高機能暗号の高性能実現  
→ **秘匿検索、完全準同形暗号**



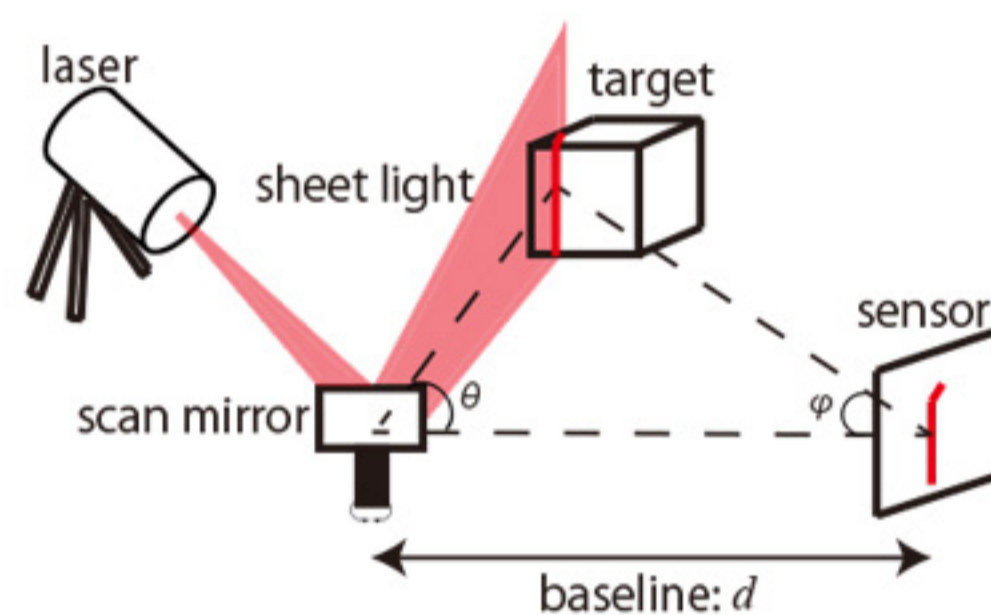
楕円曲線暗号によるデジタル署名とそのハードウェアによる高速・高信頼化

世界最高性能?の楕円曲線暗号によるデジタル署名ハードウェアエンジン

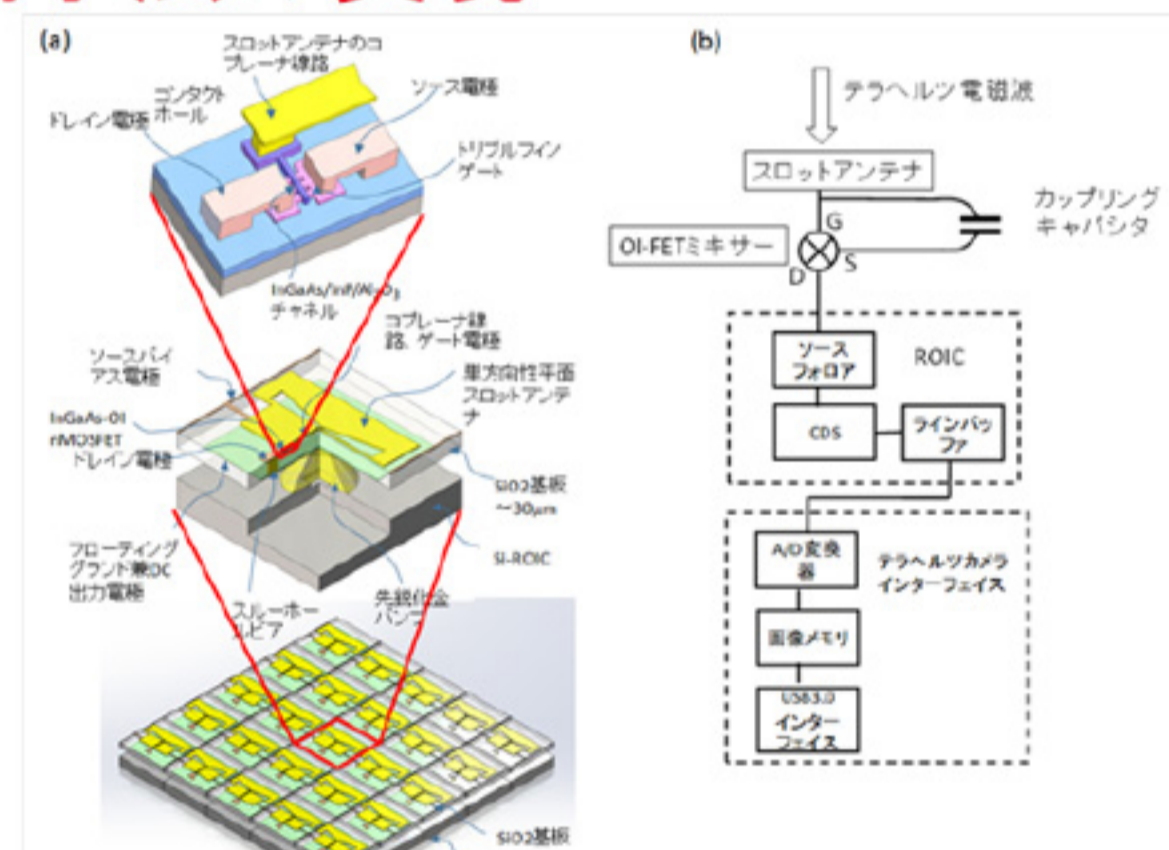


### セキュアセンシング

- THz領域光を用いたイメージング  
→ **化合物半導体-CMOS混載による高性能・高機能THzイメージャの実現を目指す**
- 計測結果の真正性の補償(計測セキュリティ)  
→ **あなたのデータは本当に正しいですか?**  
→ **干渉(妨害)に強い計測手法の実現**



三角法に基づく 3D 測定

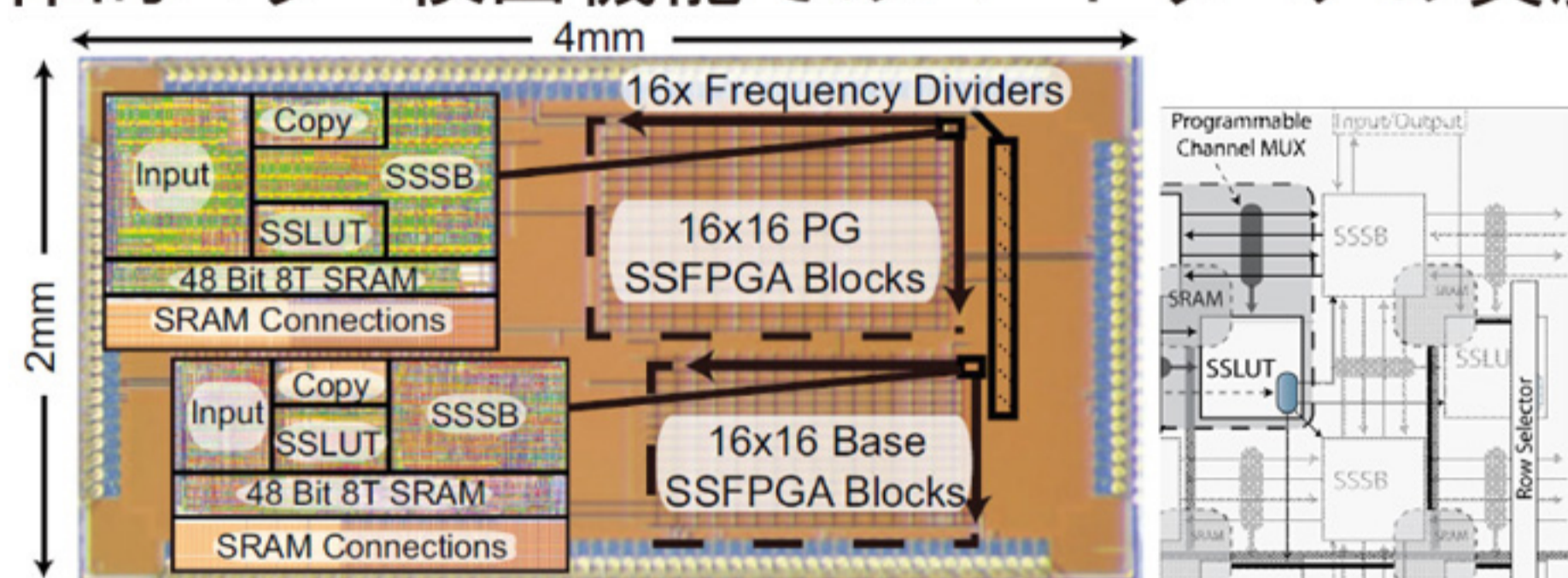


THz イメージャの構成概要

### 深層学習応用とAIハードウェアアクセラレータ

- AIハードウェアアクセラレータ  
→ 極低電力での推論の実現  
→ 大規模学習アクセラレータの設計検証  
ハードウェアエミュレータを用いた高度な設計検証手法

- 非同期制御方式を利用した高性能デジタルシステム  
→ 自律動作を生かしたハードウェアの信頼性  
→ 自律的エラー検出機能でのハードウェアの真贋性を担保

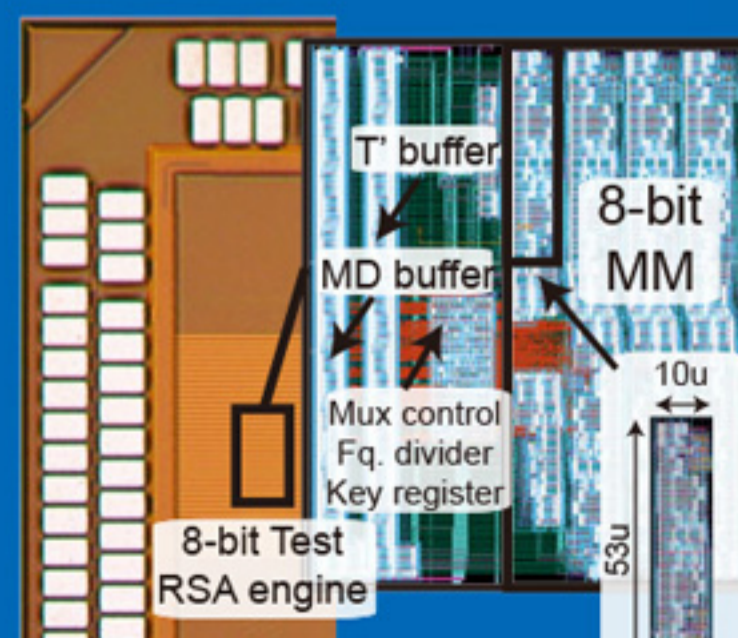


ゲート単位でパイプライン化することにより動作性能を最適化する自己同期型FPGA

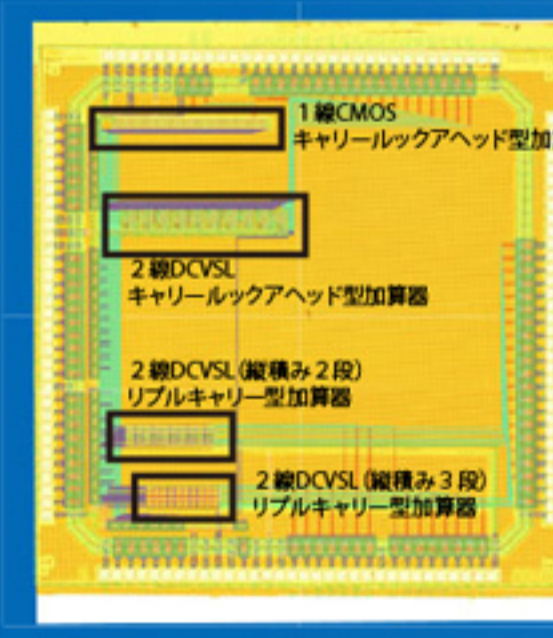
## 研究の進め方

- 研究分野の調査  
→ 自分の研究分野の論文などを調査
- 新規回路の提案  
→ 問題を解決するための新しい手法を提案
- 提案回路の設計  
→ シミュレーションによる評価  
→ 最先端プロセスによるチップの試作
- 設計した回路の測定  
→ 製造されたチップを測定し、動作を検証

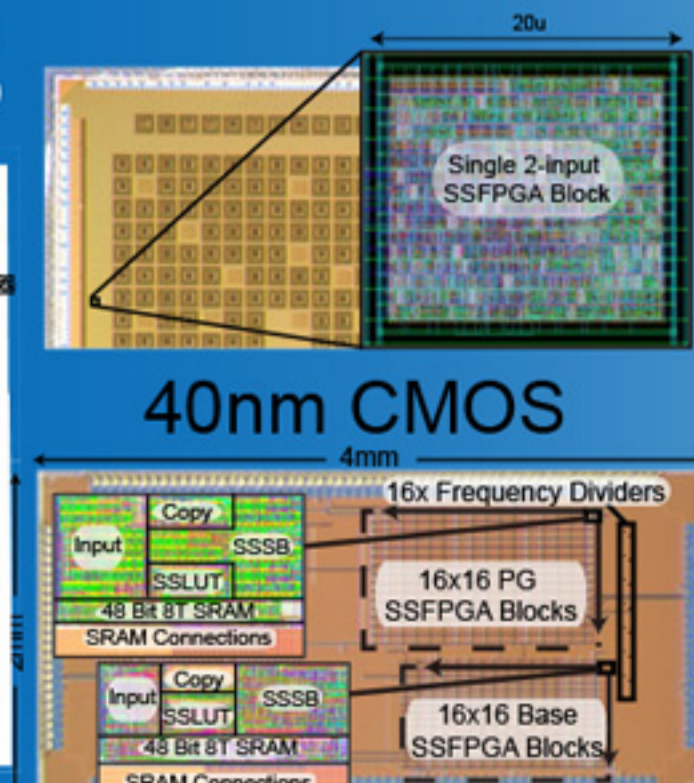
これまでに試作したチップの一部



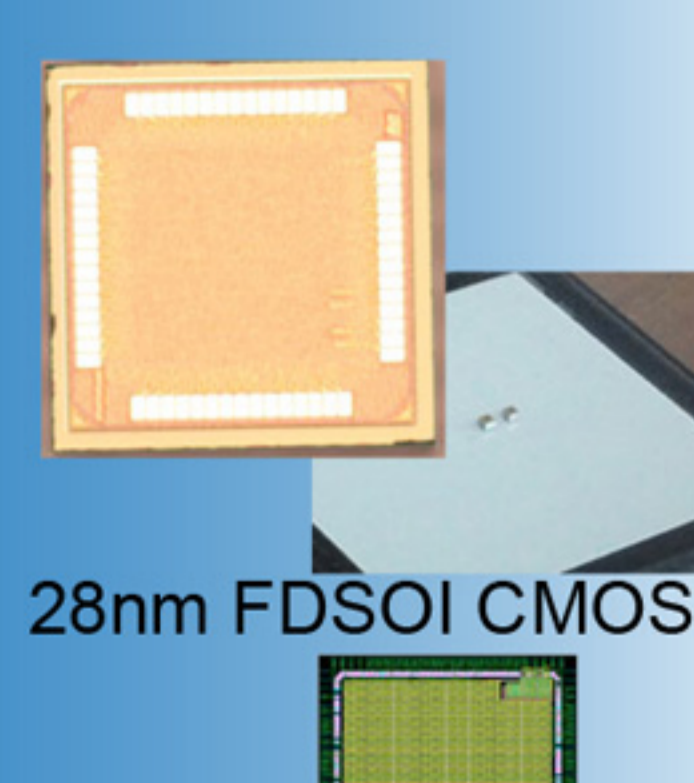
40nm CMOS



180nm CMOS



40nm CMOS



28nm FDSOI CMOS

28nm CMOS, 65nm SOTB CMOS, 0.18um CIS, 0.8um CMOS 等 12nm FINFET  
研究テーマに応じて最先端プロセスでの試作しアイデアを評価

研究室の風景・・・飯塚研究室と合同でイベント多数



花見

研究室合宿

ホームパーティ

富士山登山

芋煮

スキー旅行

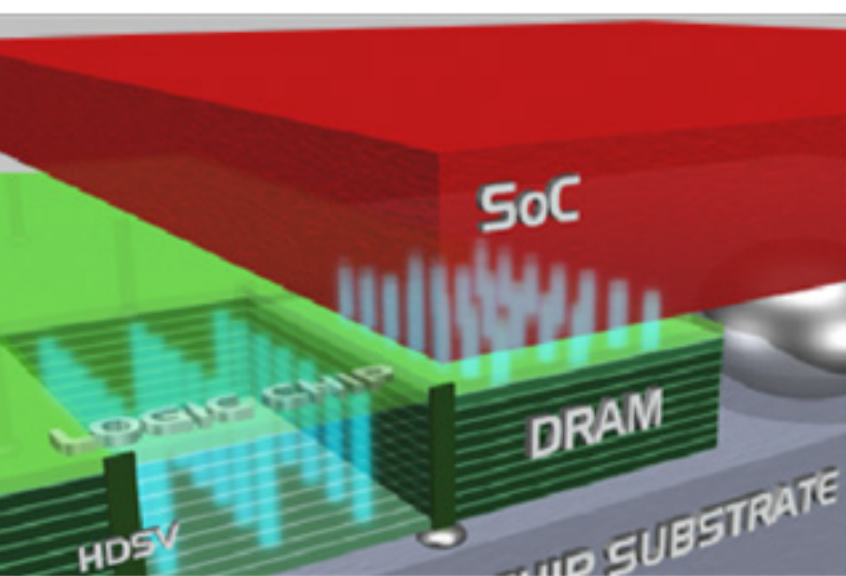




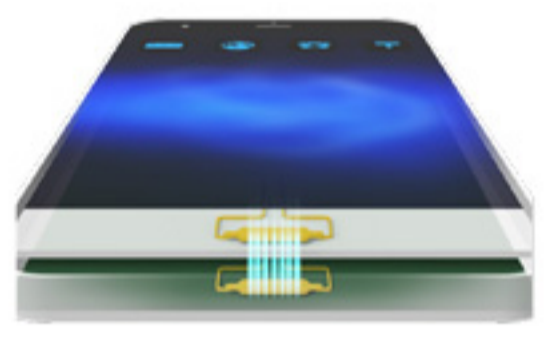
黒田研究室(Prof. Tadahiro Kuroda)  
 Kuroda Laboratory

東大目白台インターナショナルビレッジ 1階  
 URL: <http://www.kuroda.t.u-tokyo.ac.jp> Mejirodai International Village 1st Floor

3次元集積技術



なぜ半導体が真空管にとって代わったか？  
 その理由は集積技術にあります！  
 ムーアの法則が止まりつつある今、新たな次元の集積が必要です。それが3次元集積です。  
 黒田研は、**近接場結合集積技術**で  
**3次元集積を革新**します。

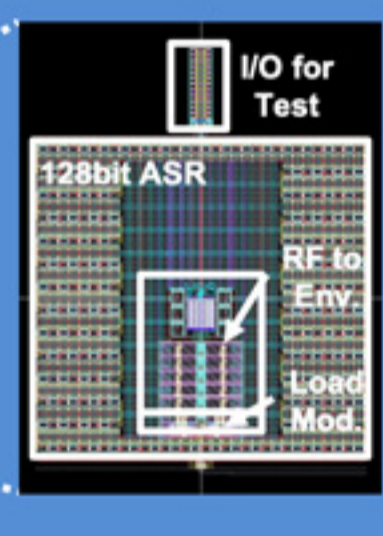
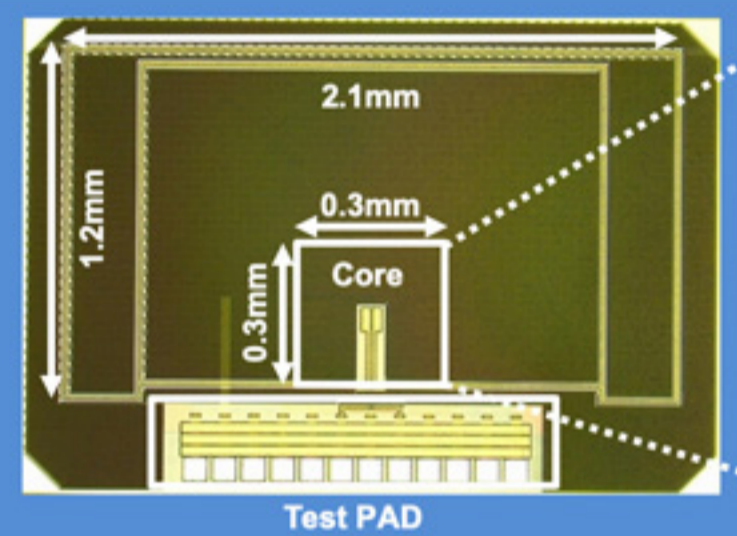


KKTワークショップ



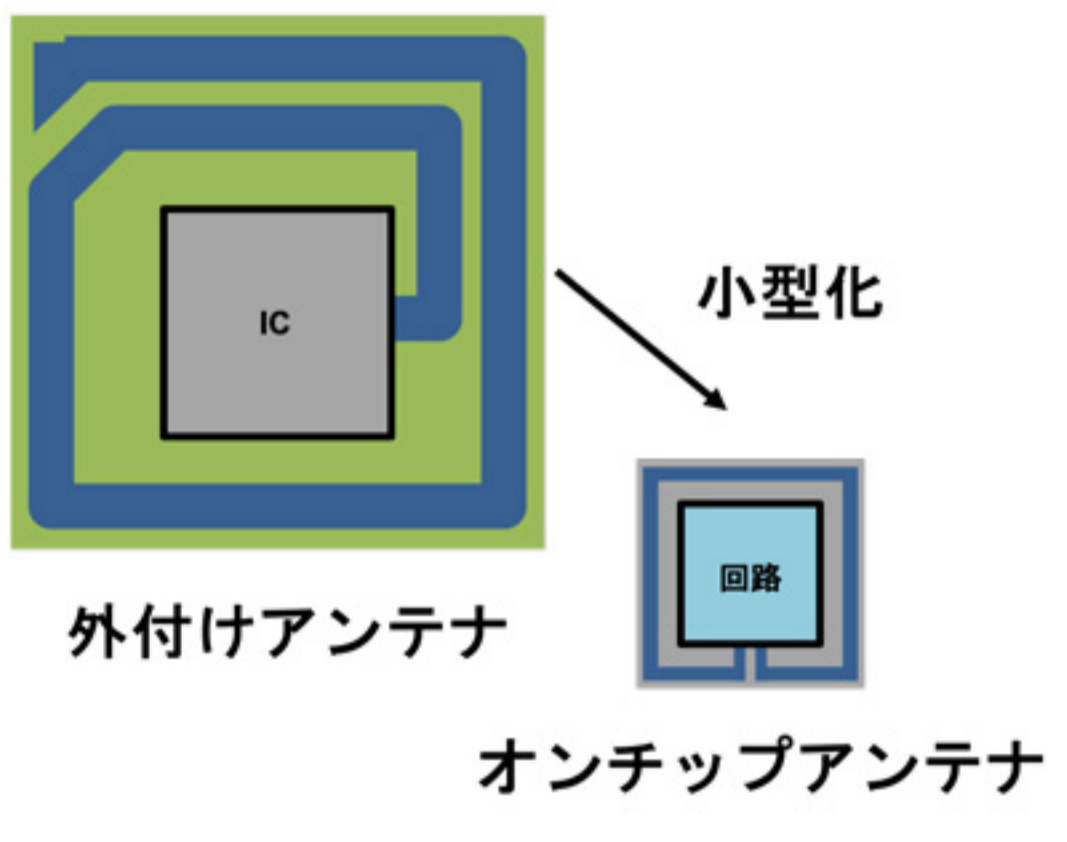
韓国トップスクールであるKAIST、  
 中国のトップスクールである清華大学と  
 毎年ワークショップを開催しています。

アジアの友人と切磋琢磨  
 する良い機会です。  
 卒業後もつながりは続きます。

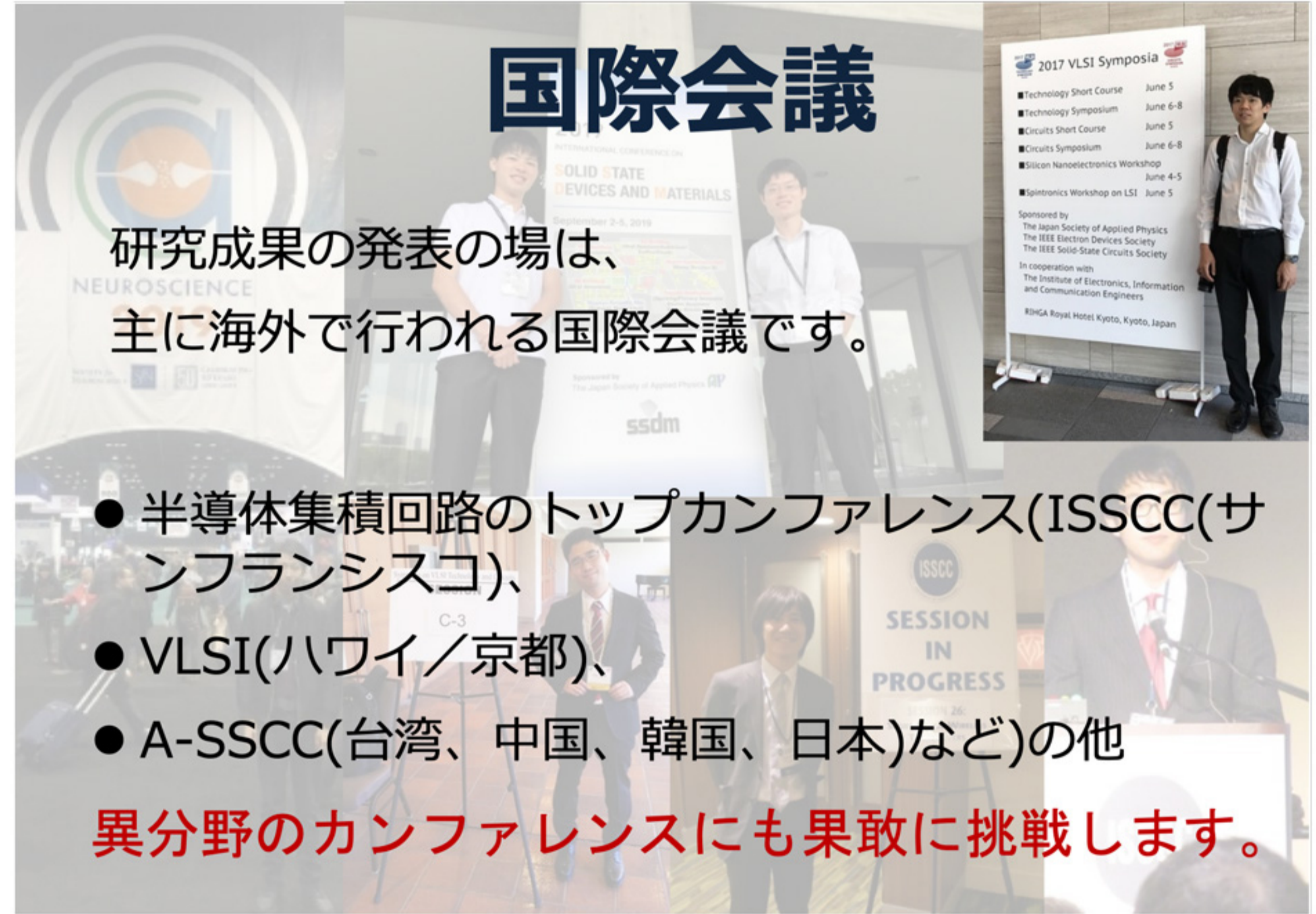


マイクロ無線タグ

塵のように小さな無線タグがあつたら便利だと思いませんか？  
 どんなものにも無線タグをつけられるので、  
**真のIoT (Internet of Things)**  
**が実現**できます。



国際会議



研究成果の発表の場は、  
 主に海外で行われる国際会議です。

- 半導体集積回路のトップカンファレンス(ISSCC(サンフランシスコ)、
- VLSI(ハワイ/京都)、
- A-SSCC(台湾、中国、韓国、日本)など)の他  
**異分野のカンファレンスにも果敢に挑戦**します。

KURODA HISTORY



- 1982年 東京大学工学部電気工学科卒業 (株) 東芝入社
- 1988年~90年 UCバークレイ客員研究員
- 2002年 慶應義塾大学教授就任
- 2019年8月 東京大学教授就任

ISSCCで38件、VLSIシンポジウムで28件の発表など、半導体集積回路のトップカンファレンスで活躍するとともに、200件以上の特許を取得。

IEEE SSCS監理委員会メンバー、IEEE上級講師を歴任。IEEEフェロー。電子情報通信学会フェロー。VLSIシンポジウムおよびA-SSCC委員長を歴任。

WANTED

- システム/回路/デバイスを総合的に学びたい人
- 国際的に活躍したい人
- 一番が好きな人
- 研究成果を実社会で試したい人
- 世界最先端の半導体技術に触れたい人
- 「かつとんだこと」をやりたい人
- 自ら未来を創りたい人

共にIC-Xで未来を創造しましょう





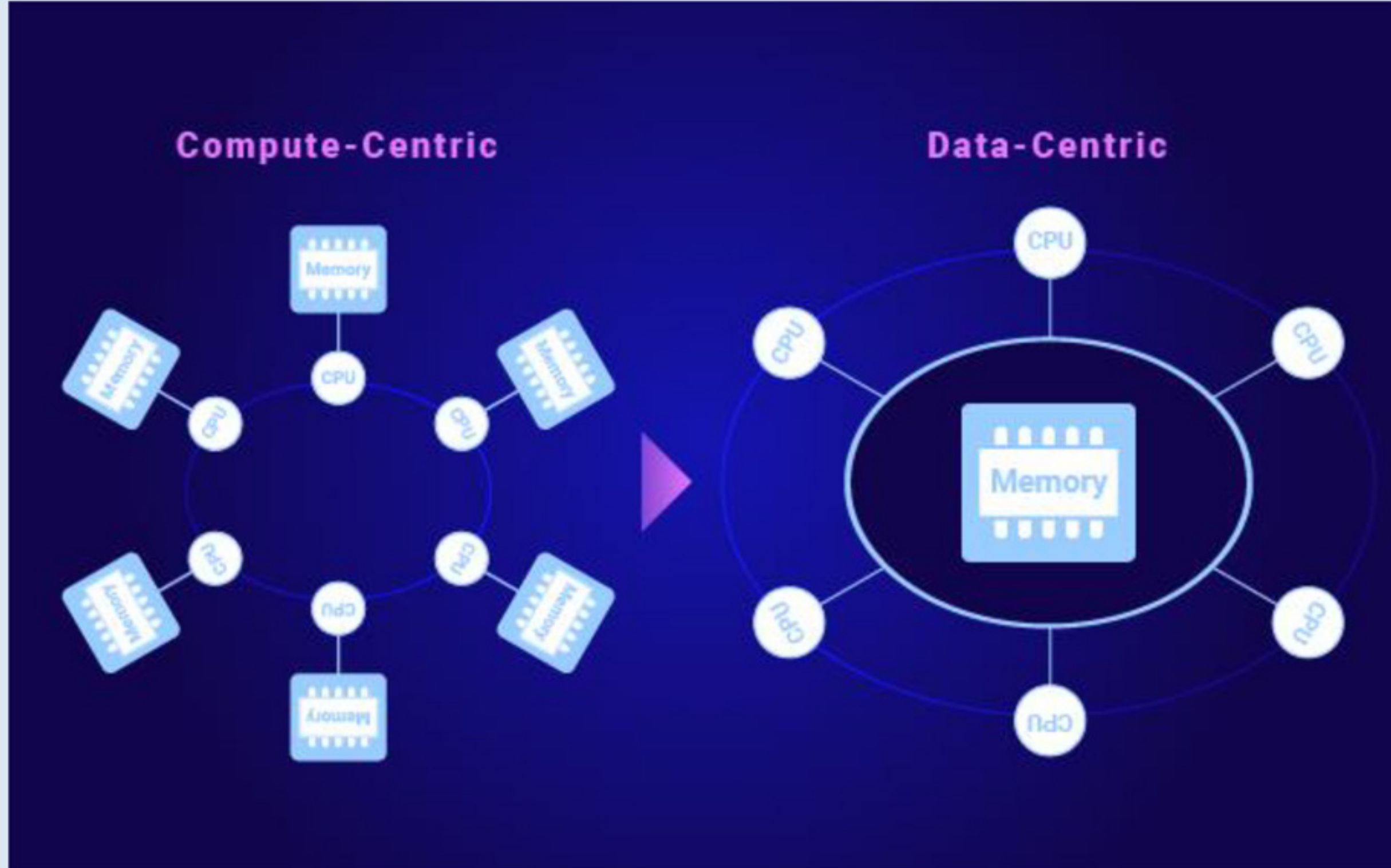
# 竹内研究室 (Prof. Ken Takeuchi) Takeuchi Laboratory

URL: <https://co-design.t.u-tokyo.ac.jp/>

工学部2号館10F 101B1  
Bldg. Eng-2 10F Room 101B1

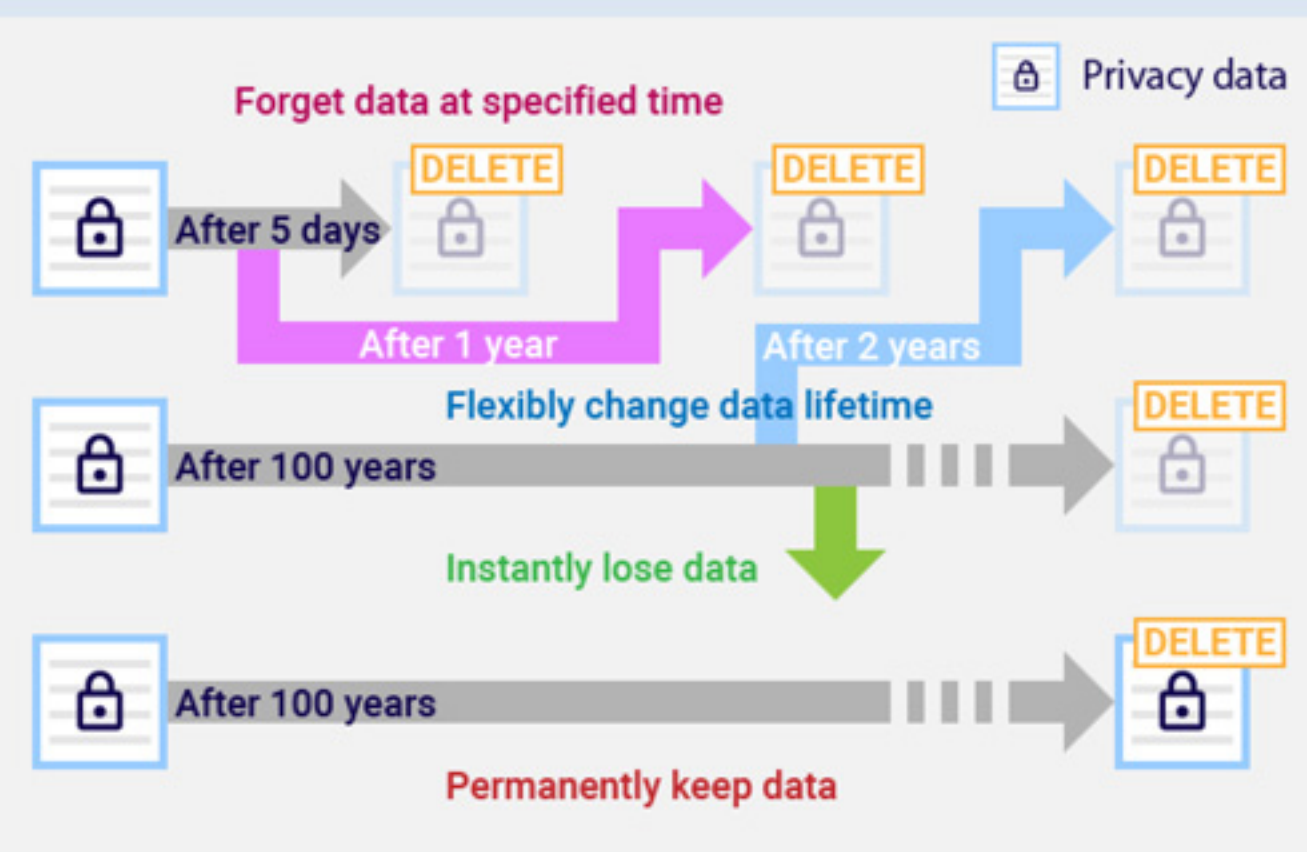
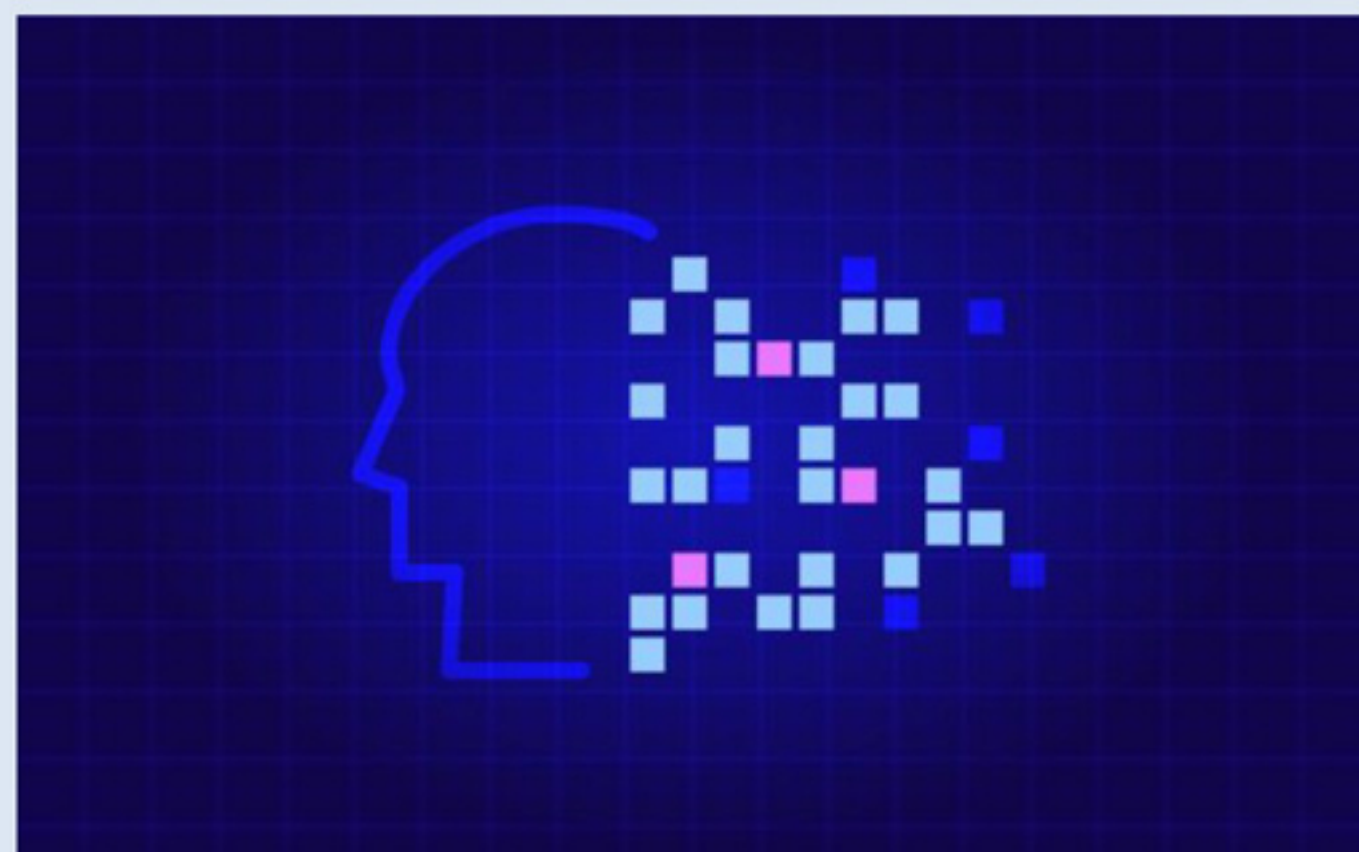
## ビジョン: データセントリックコンピューティング

プロセッシング (CPU) 中心のコンピューティングから、データ (メモリ) 中心のコンピューティングへ。私たちは、ハード・ソフトのCo-designを通して、人間のように見る・聴く・考える、知能を持ったコンピュータを創造します。



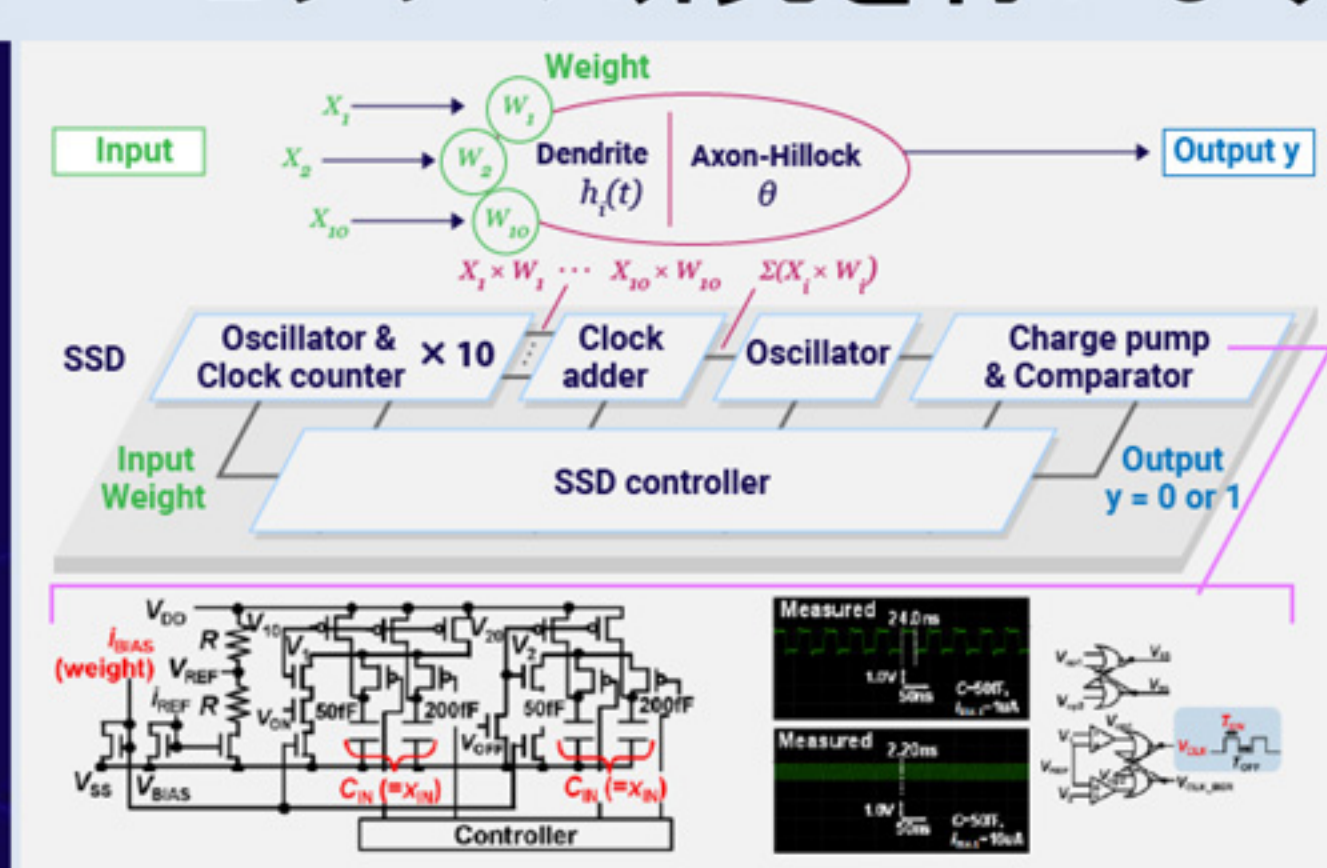
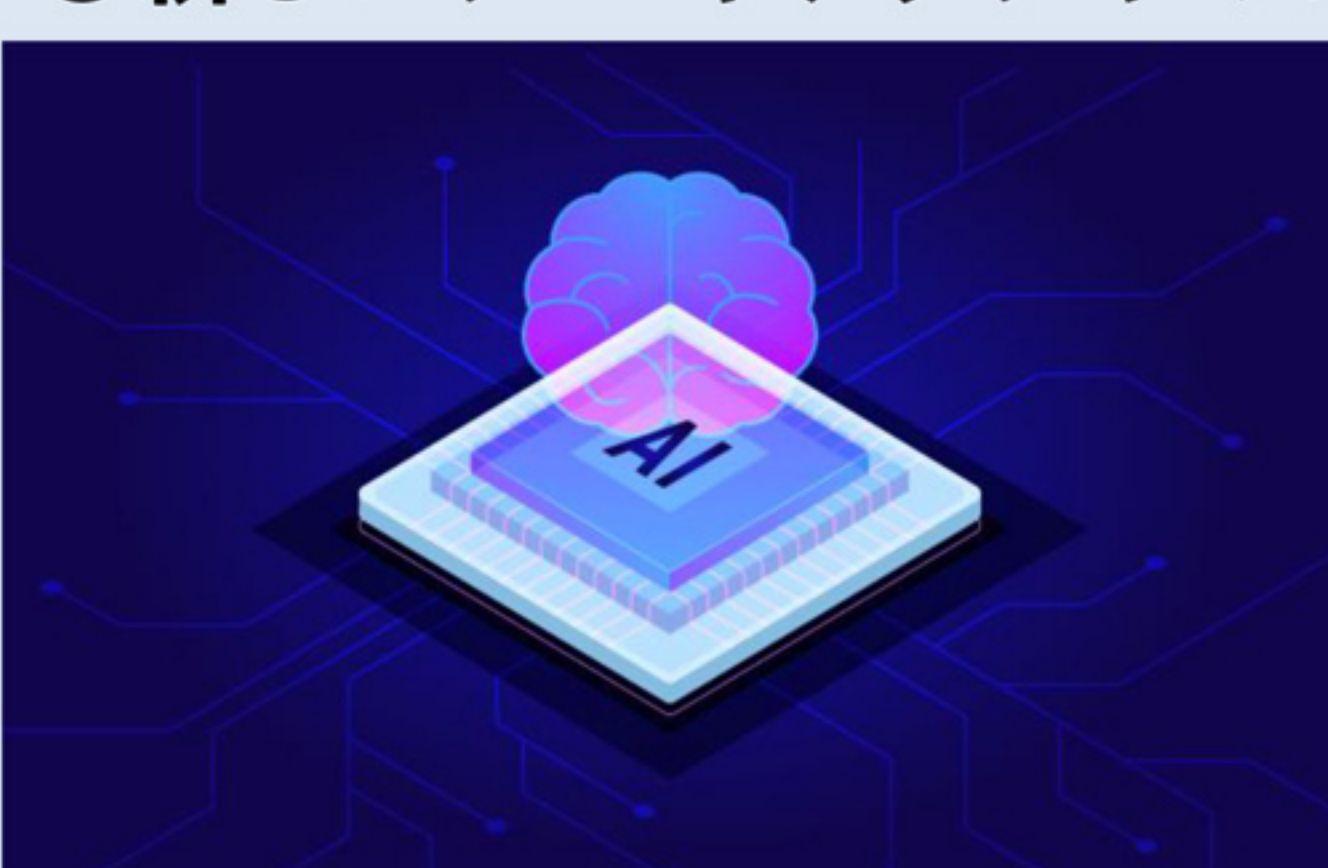
## Brain-inspired memory

人の脳のように柔軟に記憶・忘却を行う脳型メモリの研究を行っています。



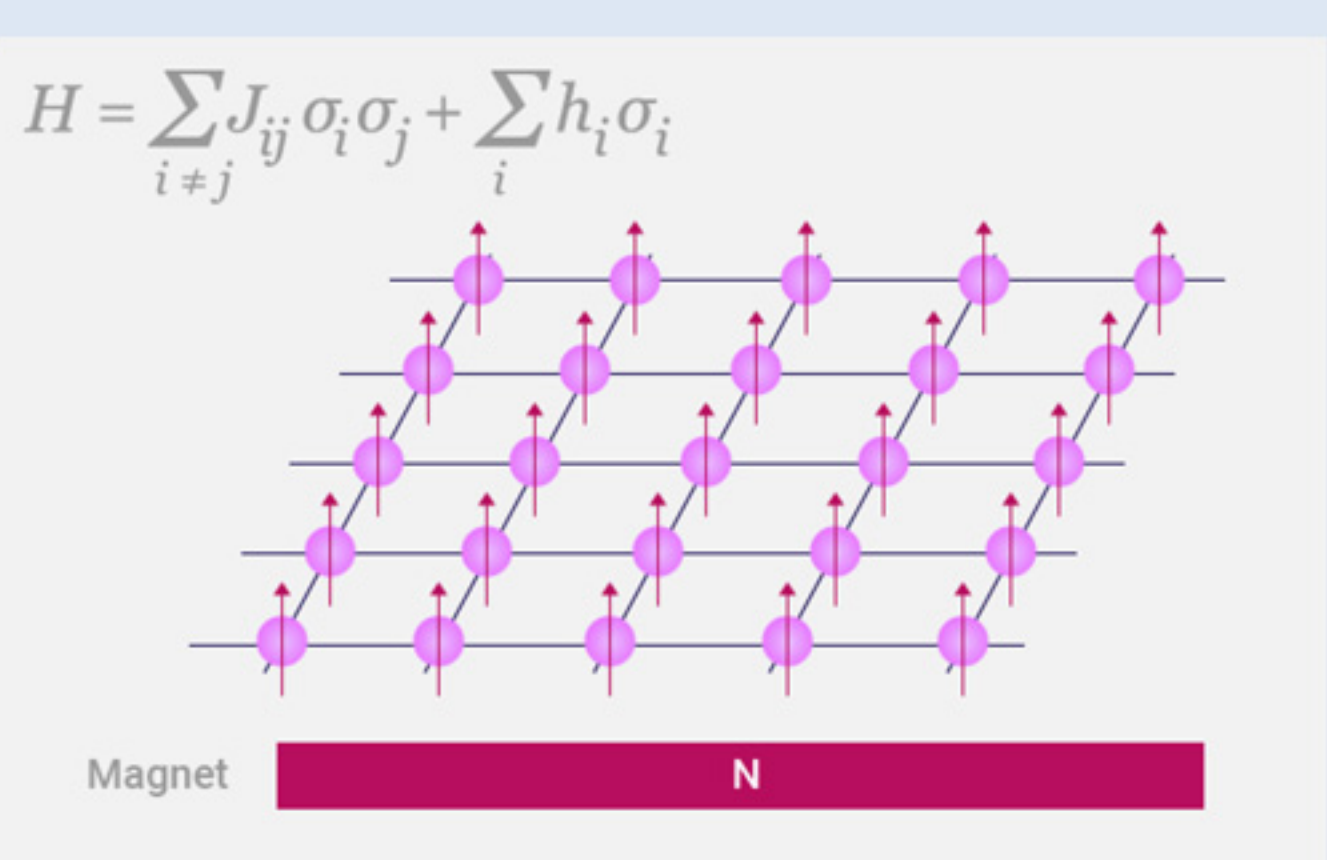
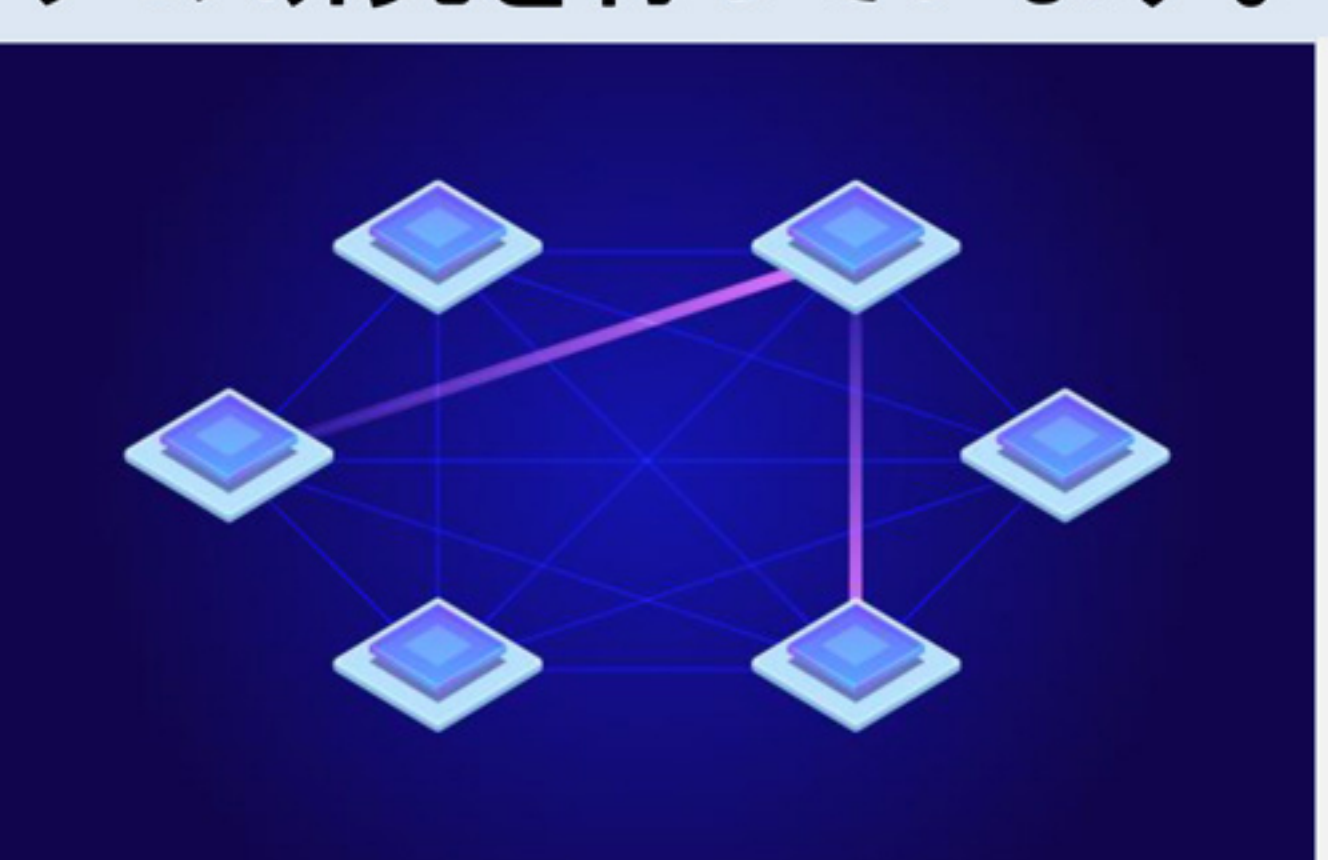
## AI chip

プログラムを順次実行する逐次処理に適したCPUに対して、機械学習のような膨大な数の積和演算 (MAC: Multiply Accumulation) を行う応用に向けて、CPUと異なる新しいアーキテクチャのプロセッサの研究を行います。

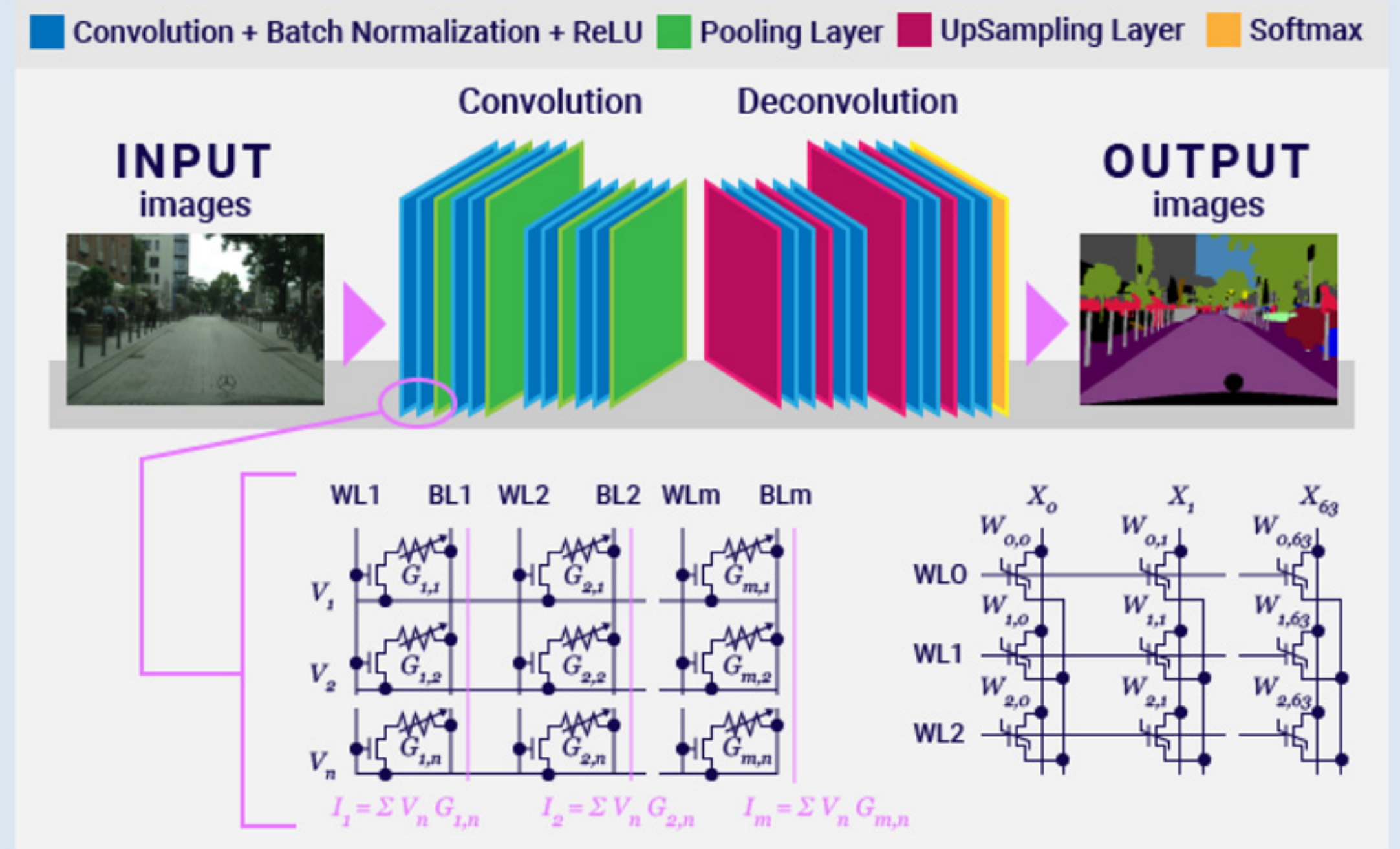


## Quantum annealing

巡回セールスマン問題やナップサック問題のような、組み合わせ最適化問題を効率よく解く量子アニーリングの研究を行っています。



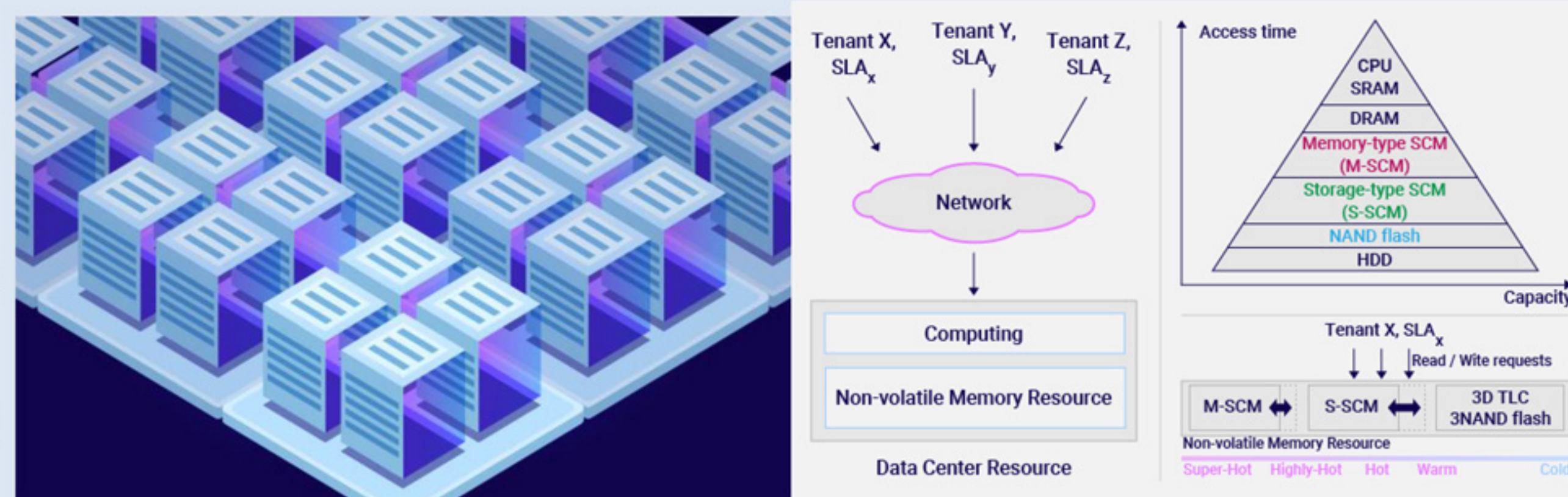
## CiM: Computation in memory



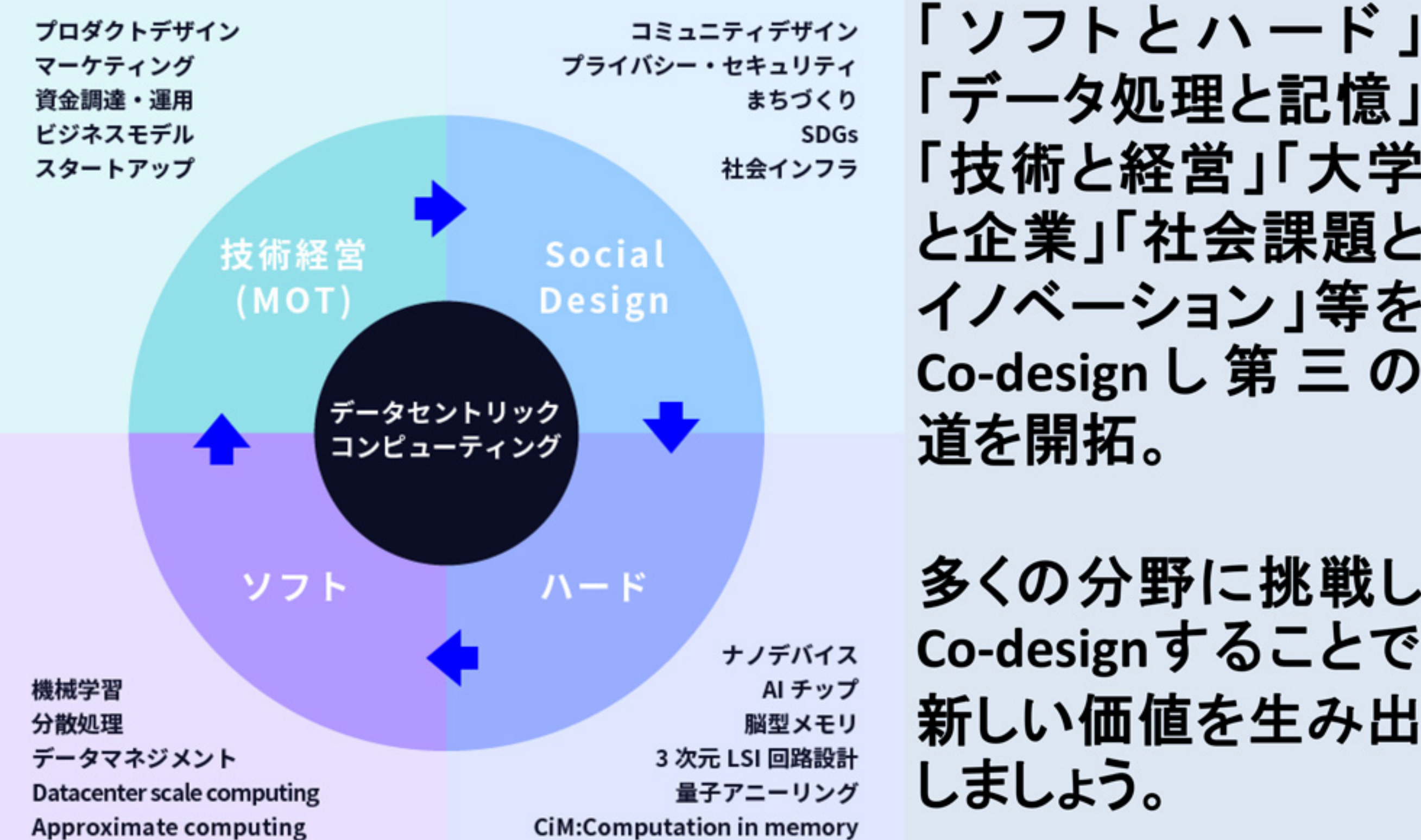
脳のようにデータの処理と記憶が融合したデータ中心のコンピューティング、CiM (Computation in memory) を研究しています。人の認識は完璧ではありません。画像認識・音声認識などの統計的機械学習応用に向けて、ある程度の不正確さ・エラーを許容することで、リアルタイム処理や極限までの低電力化を実現するApproximateコンピューティングを研究しています。

## Datacenter scale computing

データセンタ全体のデータを一体化して扱うDatacenter scale computingでは、CPU・GPU・DRAM・SCM・Flash memoryといった膨大なリソースをプールし、アプリケーションに応じて最適なハードウェアを再構成します。



## 学生の皆さんへ: ハード・ソフトのCo-design



「ソフトとハード」「データ処理と記憶」「技術と経営」「大学と企業」「社会課題とイノベーション」等をCo-designし第三の道を開拓。

多くの分野に挑戦しCo-designすることで、新しい価値を生み出しましょう。

AI時代においては、単一の技術ではソリューションになりません。応用・社会実装までを理解し、LSIのハード・制御ソフト・機械学習から応用まで、分野を越境し異分野をCo-designする人材を育成します。